

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

CLIPPEDIMAGE= JP406061449A
PAT-NO: JP406061449A
DOCUMENT-IDENTIFIER: JP 06061449 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: March 4, 1994

INVENTOR-INFORMATION:

NAME

KAMIYAMA, SATOSHI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP04209879

APPL-DATE: August 6, 1992

INT-CL (IPC): H01L027/108; H01L027/04

US-CL-CURRENT: 257/310, 257/915

ABSTRACT:

PURPOSE: To provide a good formation method wherein a capacitor element part

for a semiconductor device used in a 256 or more Mbit DRAM is made thinner and

a leakage-current characteristic is small.

CONSTITUTION: A spontaneous oxide film 4 on the surface of a polysilicon

electrode 3 as a lower-part electrode for a capacitor element is removed, a

tantalum oxide film 5 which is a doped capacitor insulating film is formed, and

an upper-part electrode 6 composed of tantalum nitride is formed.

COPYRIGHT: (C)1994, JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-61449

(43)公開日 平成6年(1994)3月4日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
27/04	C	8427-4M	H 0 1 L 27/ 10	3 2 5 J
		8728-4M		

審査請求 未請求 請求項の数9(全 5 頁)

(21)出願番号 特願平4-209879

(22)出願日 平成4年(1992)8月6日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 神山 聡

東京都港区芝五丁目7番1号日本電気株式会社内

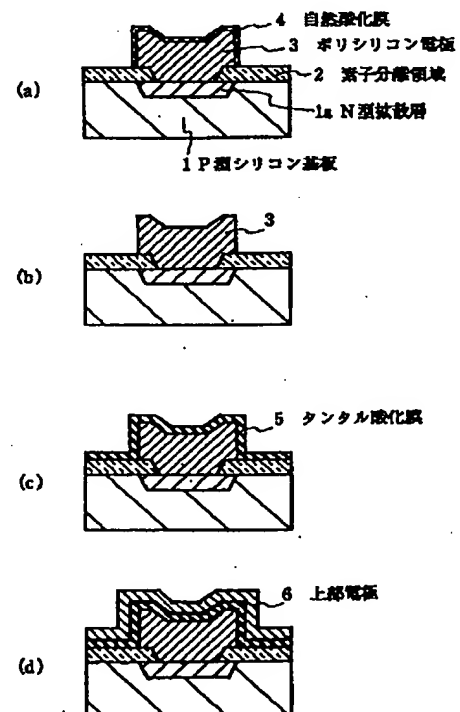
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】256MbitDRAM以降に用いられる半導体装置の容量素子部を、より薄膜化し、リーク電流特性の少ない良好な形成方法を提供する。

【構成】容量素子の下部電極であるポリシリコン電極3表面の自然酸化膜4を除去し、容量絶縁膜である不純物がドーピングされたタンタル酸化膜5を形成し、窒化チタンからなる上部電極6を形成する。



1

【特許請求の範囲】

【請求項1】 DRAM等の超LSIに用いられる容量素子部の形成工程が、下部電極であるポリシリコン表面の自然酸化膜の除去工程と、

不純物をドーピングしたタンタル酸化膜の成膜工程と、少なくとも底面が窒化チタンからなる上部電極の形成工程とからなることを特徴とする半導体装置の製造方法。

【請求項2】 前記除去工程として、無水フッ酸を用いた処理を行なうことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記不純物が、チタン、シリコン、ボロン、リン、あるいはゲルマニウムからなる元素を少なくとも1つ含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記形成工程が、有機系のタンタル原料を用いた化学気相反応により行なわれることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記成膜工程における前記不純物のドーピングが、有機系の原料を用いた化学気相反応により行なわれることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 前記除去工程の後に、前記ポリシリコン表面を窒化する工程を有することと、前記成膜工程の後に、前記タンタル酸化膜を緻密化するための高温熱処理工程を有することとを併せて特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 前記ポリシリコン表面を窒化する工程が、アンモニアガスを用いた急速昇温熱処理により行なわれることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 前記高温熱処理工程が電気炉あるいはランプ加熱による急速加熱方式により行なわれることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項9】 前記高温熱処理工程が不活性ガス雰囲気中で行なわれることを特徴とする請求項6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関し、特にDRAM等の超LSIに用いられる容量素子部を形成する方法に関する。

【0002】

【従来の技術】256MbitDRAM以降の超LSIメモリデバイスの容量素子部においては、単位面積当たりの容量値を大きくできる高誘電率容量絶縁膜の採用が検討されている。この検討されている高誘電率容量絶縁膜の中で、気相成長法(CVD)によるタンタル酸化膜は、比誘電率 ϵ_r が25~30と大きく、優れたステップカバレージ特性を有しており、さらに膜形成法が他の

2

高誘電率容量絶縁膜と比較して非常に容易であるなどのことから多くの研究がなされている。

【0003】タンタル酸化膜を用いた一般的な容量素子部の形成方法の工程順の断面図を図6に示す。ポリシリコンを表面にN型拡散層1aとN型拡散層に達する開口部を有する素子分離領域2とが形成されたP型シリコン基板1上に化学気相成長法により堆積し、燐(P)を熱拡散させた後、通常のリソグラフィ技術によりポリシリコン下部電極3を形成する〔図6(a)〕。この段階で、ポリシリコン電極3の表面には自然酸化膜4が形成される。この後、このポリシリコン下部電極3上に、エトキシタンタル($Ta(OC_2H_5)_5$)ガスを主原料とする減圧気相成長法によりタンタル酸化膜7を形成し、タンタル酸化膜7のリーク電流を改善させるため酸素雰囲気での600~1000°Cの高温熱処理を行なう〔図6(b)〕。このとき、自然酸化膜4は SiO_2 膜4aとなる。続いて、上部電極6を形成する〔図6(b)〕。上部電極6として、一般的にタングステン(W)が用いられている。以上の形成工程により、容量素子部が完了する。

【0004】

【発明が解決しようとする課題】上述した従来の容量構造体において、以下に延べる問題点がある。従来の容量素子プロセスでは、下部電極3であるポリシリコン上に、タンタル酸化膜7を形成し、リーク電流を改善するための酸素雰囲気中での高温熱処理により形成される容量部のキャパシタ値は、 SiO_2 膜換算膜厚(比誘電率 $\epsilon_r=3.9$)にして約3nm厚程度($Cs=12fF/\mu m^2$)しか得られない。これは、タンタル酸化膜7のリーク電流改善するための酸素雰囲気中での高温熱処理により、タンタル酸化膜7とポリシリコン電極3との界面に存在する自然酸化膜4の膜厚が増加して SiO_2 膜4aとなるためである。この容量膜を256MbitDRAM以降の容量素子として適用した場合、十分なキャパシタ値は得られない。また、従来技術で形成される容量素子のリーク電流特性($10^{-8}A/cm^2$)は、約0.7Vと小さく、実デバイスに十分適用できる特性ではない。

【0005】

【課題を解決するための手段】本発明においては、DRAM等の超LSIに用いられる容量素子部の形成工程が、下部電極であるポリシリコン表面の自然酸化膜を除去した後、不純物ドーピングしたタンタル酸化膜を形成し、さらに少なくとも底面が窒化チタンからなる上部電極を形成する工程を、少なくとも含んでいる。

【0006】

【実施例】次に、本発明について図面を参照して説明する。

【0007】図1は、本発明の第1の実施例を説明するための工程順の断面図である。まず、表面にN型拡散層

3

1aを有するP型シリコン基板1にLOCOS法により素子分離領域2を形成する。次に、基板上に化学気相成長法によりポリシリコン膜を堆積、磷(P)を熱拡散によりドーブし、通常のリソグラフィ、およびエッチング技術によりパターニングし、ポリシリコン電極3を形成する。このとき、ポリシリコン電極3の表面には、自然酸化膜4が形成される〔図1(a)〕。

【0008】続いて、ポリシリコン電極3上にある自然酸化膜4を無水フッ酸により除去する〔図1(b)〕。

【0009】次に、不純物ドーピングしたタンタル酸化膜5を化学気相成長法により堆積する〔図1(c)〕。

【0010】続いて、上部電極6として窒化チタンを形成する〔図1(d)〕。

【0011】不純物ドーピングしたタンタル酸化膜5の形成には、図2に示すような装置を用いる。タンタル酸化膜形成には、原料ガスとして有機タンタルガス(タンタルペンタエトキシド($\text{Ta}(\text{OC}_2\text{H}_5)_5$))および有機チタンガス(チタンテトラブトキシド($\text{Ti}(\text{OC}_4\text{H}_9)_4$))を用いる。これらの原料は、気化室12および13でそれぞれ気化され、キャリアガスであるアルゴンガス9と共に反応室18へ導入される。同時に、酸素ガスはバルブを通して反応室18へ導入される。ヒータ16により反応室18内は熱せられており、導入された有機タンタルガス、有機チタンガスおよび酸素ガスが化学気相反応を起こし、ウェハ14上でチタン不純物ドーパされた酸化タンタル膜が形成される。成長条件として、有機タンタル原料の気化室12の加熱温度は30~200℃、有機チタン原料の気化室13の加熱温度は30~200℃、ヒータ16による反応室18内の成長温度は300~800℃、キャリアガスであるアルゴンガスの流量は10~1000SCCM、酸素ガスの流量は0.1~20.0SLM、圧力は0.1~10Torrで行うのが適している。本実施例では、反応室18を用いたチタン不純物ドーピングタンタル酸化膜5形成について述べたが、反応室19を用いた場合も同様な膜を形成できる。また、本実施例では、不純物ドーピングとしてチタンの場合について述べたが、シリコン、ボロン、リン、あるいはゲルモニウムなどからなる元素を少なくとも1つをドーピングさせた場合もよい。

【0012】本実施例においては、上部電極として窒化チタン単層を用いたが、タングステンあるいは窒化チタン/タングステン、窒化チタン/モリブデン、窒化チタン/タングステンシリサイド等複合膜を用いた場合でも効果はある。

【0013】図3は、本発明の第2の実施例を説明するための工程順の断面図である。上記第1の実施例同様、フッ酸処理により自然酸化膜4を除去したポリシリコン電極3の表面に、アンモニア(NH_3)ガスを用いた急速昇温熱処理によりシリコン窒化膜24を形成する〔図3(a)〕。この窒化処理の温度として、800~10

4

00℃で行うのが適している。

【0014】次に、不純物ドーピングしたタンタル酸化膜5を化学気相成長法により堆積する〔図3(b)〕。この不純物ドーピングしたタンタル酸化膜5の形成には、上記第1の実施例と同条件で行うのが適している。

【0015】さらに、チタン不純物ドーパされたタンタル酸化膜5を堆積後、高温熱処理による緻密化処理を行い、このタンタル酸化膜5を緻密化されたタンタル酸化膜5aに変換する〔図3(c)〕。緻密化処理として、電気炉あるいはランプ加熱による急速加熱方式を用い、窒素あるいはアルゴンなど不活性雰囲気中で、温度600~1000℃で行うのが適している。

【0016】続いて、上部電極6として窒化チタンを形成する〔図3(d)〕。本実施例においても、上部電極6として窒化チタン単層を用いたが、タングステンあるいは窒化チタン/タングステン、窒化チタン/モリブデン、窒化チタン/タングステンシリサイド等複合膜を用いた場合でも効果はある。

【0017】本発明の第1、および第2の実施例に基づき製作したデバイスにおけるタンタル酸化膜の膜厚に対する SiO_2 換算膜厚の変化を図4に示す。このグラフにおいて、第1の実施例、第2の実施例、および従来の技術により製作されたデバイスのタンタル酸化膜の膜厚に対する SiO_2 換算膜厚の結果を示している。従来の技術により形成されたデバイスの SiO_2 換算膜厚と比較して、第1の実施例、および第2の実施例により作成された結果のほうが小さくなっている。さらに、第1の実施例により形成された結果のほうが、第2の実施例により作成された結果よりも小さくなっているのがわかる。これは、従来の技術の場合、タンタル酸化膜/ポリシリコン界面に約2nmの SiO_2 膜が形成されるのに対し、本発明における第2の実施例の場合、この SiO_2 膜厚が約1nm形成されており、さらに第1の実施例の場合、この SiO_2 膜厚がほとんど除去できるためである。一例として、10nm厚のタンタル酸化膜を用いた場合、従来の技術における SiO_2 換算膜厚は約3.5nmであるのに対し、第1の実施例を用いた場合約1.5nm、第2の実施例を用いた場合約2nmと非常に薄膜化できる。

【0018】本発明の第1、および第2の実施例に基づき作成したデバイスにおけるタンタル酸化膜のリーク電流特性を図5に示す。このグラフにおいて、第1の実施例、第2の実施例、および従来の技術により作成されたタンタル酸化膜のリーク電流特性を示している。第1の実施例により形成されたタンタル酸化膜のリーク電流特性は、従来の技術により形成された特性と比較した場合、良好な特性が得られている。これは、タンタル酸化膜形成中にチタン不純物をドーピングすることにより、タンタル酸化膜中のダングリングボンドをチタンにより

5

埋められ、電気的トラップサイトを減少できたためである。さらに、第2の実施例により形成されたタンタル酸化膜のリーク電流特性においては、第1の実施例により形成された特性より良好な結果が得られている。これは、チタン不純物ドーピングタンタル酸化膜を形成後、高温熱処理による緻密化処理を行なうことにより、タンタル酸化膜中に含まれるカーボンあるいは水分などが外方拡散されたためである。本発明の第1、および第2の実施例により形成されたタンタル酸化膜のリーク電流特性は、実デバイスに十分適用できる特性である。

【0019】

【発明の効果】以上説明したように本発明は、DRAM等の超LSIに用いられる容量素子部の形成を、下部電極であるポリシリコン表面の自然酸化膜を除去する工程、不純物ドーピングしたタンタル酸化膜を形成する工程、および少なくとも底面が窒化チタンからなる上部電極を形成する工程により形成することにより、従来の技術と比較して容量絶縁膜を薄膜化でき、さらにリーク電流特性の少ない、良好な容量デバイスが形成できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための工程順の断面図である。

【図2】上記第1の実施例に使用する製造装置の模式図である。

【図3】本発明の第2の実施例を説明するための工程順の断面図である。

6

【図4】上記第1、および第2の実施例を説明するための図であり、タンタル酸化膜厚の SiO_2 換酸膜厚を示すグラフである。

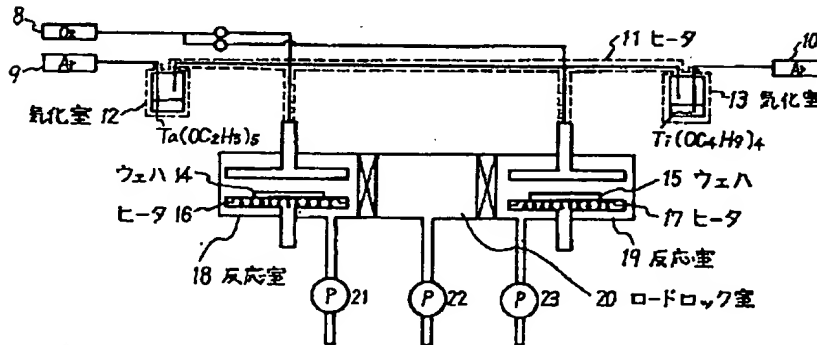
【図5】上記第1、および第2の実施例の効果の説明するための図であり、リーク電流特性を示すグラフである。

【図6】従来の半導体装置の製造方法を説明するための工程順の断面図である。

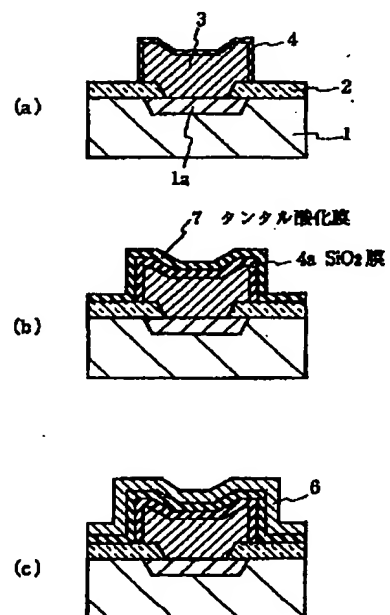
【符号の説明】

- 10 1 P型シリコン基板
1a N型拡散層
2 素子分離領域
3 ポリシリコン電極
4a SiO_2 膜
5, 5a, 7 タンタル酸化膜
6 上部電極
8 酸素ガス導入口
9, 10 アルゴンガス導入口
11, 16, 17 ヒータ
20 12, 13 気化室
14, 15 ウェハ
18, 19 反応室
20 ロードロック
21, 22, 23 ポンプ
24 シリコン窒化膜

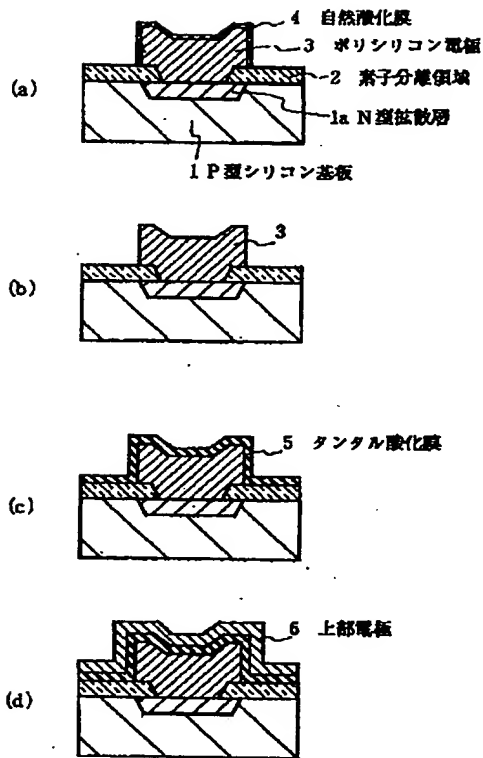
【図2】



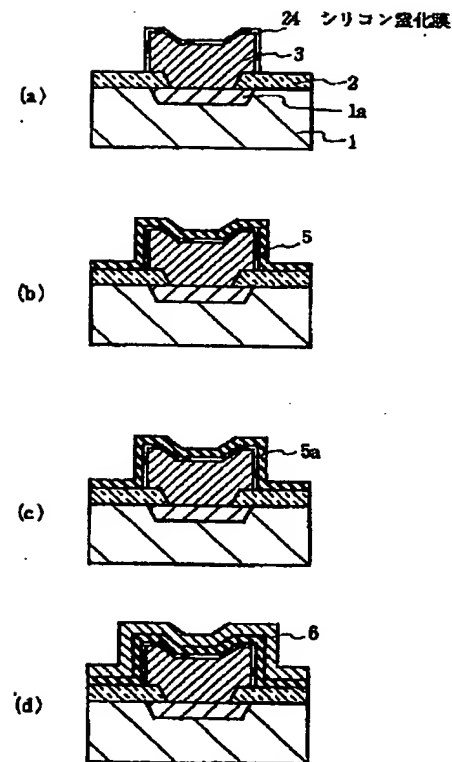
【図6】



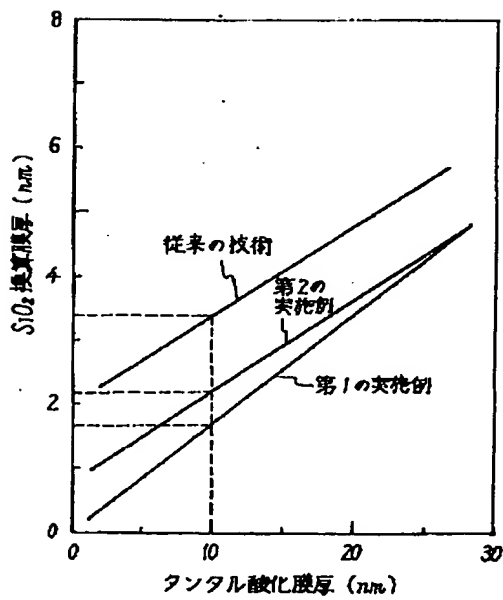
【図1】



【図3】



【図4】



【図5】

